

DERWENT-ACC-NO: 2000-081340

DERWENT-WEEK: 200116

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Lead frame bonding structure in semiconductor device -
has bonding wires on inner leads whose bonding points are
at higher level and other bonding wires at lower level

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1998JP-0139321 (May 21, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11330132 A	November 30, 1999	N/A	005	H01L 021/60
JP 3144383 B2	March 12, 2001	N/A	005	H01L 021/60

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11330132A	N/A	1998JP-0139321	May 21, 1998
JP 3144383B2	N/A	1998JP-0139321	May 21, 1998
JP 3144383B2	Previous Publ.	JP 11330132	N/A

INT-CL (IPC): H01L021/60, H01L023/50

ABSTRACTED-PUB-NO: JP 11330132A

BASIC-ABSTRACT:

NOVELTY - Inner leads (4a-4f) have upper level part (H) and lower level part (L) along with steps (5a). Alternate lengths of inner leads towards semiconductor chip are longer than other leads. Alternate bonding points of bonding wire (3a-3g) on inner leads are at higher level and others are at lower level, as they are located in zigzag manner. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device manufacturing method.

USE - In semiconductor device.

ADVANTAGE - The structure of inner lead of lead frame and location of bonding points on inner lead are such that the lengths of all bonding wires are maintained different. DESCRIPTION OF DRAWING(S) - The figure shows perspective view of lead frame arrangement. (3a-3g) Bonding wires; (4a-4f) Inner lead; (5a) Step.

CHOSEN-DRAWING: Dwg.2/8

TITLE-TERMS: LEAD FRAME BOND STRUCTURE SEMICONDUCTOR DEVICE BOND WIRE
INNER

LEAD BOND POINT HIGH LEVEL WIRE LOWER LEVEL

DERWENT-CLASS: U11

EPI-CODES: U11-D03A1A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-064603

(19) 日本国特許庁 (J-P)

(12) 特 許 公 報 (B-2)

(11) 特許番号

特許第3144383号

(P3144383)

(45) 発行日 平成13年3月12日 (2001.3.12)

(24) 登録日 平成13年1月5日 (2001.1.5)

(51) Int.Cl.⁷H01L 21/60
23/50

識別記号

301

FI

H01L 21/60
23/50301C
T

請求項の数2 (全 5 頁)

(21) 出願番号 特願平10-139321

(22) 出願日 平成10年5月21日 (1998.5.21)

(65) 公開番号 特開平11-330132

(43) 公開日 平成11年11月30日 (1999.11.30)

審査請求日 平成10年5月21日 (1998.5.21)

(73) 特許権者 000004237

日本電気株式会社
東京都港区芝五丁目7番1号(72) 発明者 西田 貴之
東京都港区芝五丁目7番1号 日本電気
株式会社内(74) 代理人 100070530
弁理士 知 泰之

審査官 市川 裕司

(56) 参考文献 特開 平7-130943 (JP, A)

特開 平8-148634 (JP, A)

(58) 調査した分野(Int.Cl.⁷, DB名)H01L 21/60 301
H01L 23/50

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 リードフレームのアイランド上に半導体チップが組み付けられ、この半導体チップ上に設けられた千鳥状に配置された電極と、前記リードフレームのインナーリードと、前記電極とインナーリードとの間に設けられるボンディングワイヤとからなる半導体装置において、
前記隣接するインナーリードは互いに異なる長さに形成され、且つ、前記インナーリードの全ては、前記アイランド部と同一面上に形成した低部と、前記低部より高い位置に形成した高部と、前記低部と高部とを接続する部分とからなり、前記何れかのインナーリードの高部及び低部にそれぞれ、前記ボンディングワイヤをボンディングしたボンディング点を少なくとも一つ設けたことを特徴とする半導体装置。

2

【請求項2】 前記インナーリードの長さは、少なくとも2種類の長さを含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、特に、半導体装置のリードフレームの形状とボンディングに関する。

【0002】

【従来の技術】 図6は従来の半導体装置の構造を示したものである。図6(a)は平面図、図6(b)は断面の概略図である。装置は半導体チップ1aがリードフレームのアイランド2aにマウントされており、チップ上の電極(ボンディングパッド)6、6a、6b、6c、6dとリードフレームのインナーリード4cとをボンディ

ングワイヤ3で電氣的に接続している。図6(a)のチップ下側のような単列パッド6に対しては、従来の平面のリードフレームで製造が可能であったが、集積度の向上と信号数の増大に伴い、図6(a)のチップ左側のような千鳥状パッド配列が必要不可欠となり、図6に示すようにボンディングワイヤ同士が接近し、さらにはボンディングできないパッド6c、6dがでてきた。

【0003】上記の問題を解決するために特開平4-152646、特開昭62-1239号公報では図7のように、リードフレームの隣接するインナーリードを上下方向に交互に段差を設け(図7(b)4d、4e)、ボンディング時において特に千鳥パッドの場合は外側パッド6aは低く短いリードでボンディングし、内側パッド(6b)は高く長いリードでボンディングすることにより、図7(b)のように隣り合うボンディングワイヤの間隔を立体的に保つことで、ワイヤ同士の接触をさけて、単列パッド、及び千鳥パッドに対しボンディングできるようにしている。

【0004】また、特開平4-196158号公報では図8のように全てのインナーリード4fを先端で低く、その外側で高くした段差を持たせることにより、ボンディング時において特に千鳥パッドの場合は外側パッド6aはリード4fの低い位置にボンディングし、内側パッド6bはリード4fの高い位置にボンディングすることにより、図8(b)のように隣り合うボンディングワイヤ3の間隔を立体的に保つことで、ワイヤ同士の接触をさけて単列パッド、及び千鳥パッドに対しボンディングできるようにしている。

【0005】特に、近年の半導体チップの集積率の向上によるチップ面積の縮小と、チップの端子数増加に伴い、チップ電極を千鳥状に配置することによるボンディングパッドの増加をはかることが必要不可欠になっている。一方、隣り合う電極同士、隣り合うインナーリードの間隔が従来のものと比較して非常に狭くなっていることから、従来技術のように、インナーリードを上下方向に交互に段差を設けることや、先端で低く、その内側で高くするだけでは隣り合うボンディングワイヤ同士の接触をさけることが困難である。

【0006】このように、上記した従来技術では各インナーリードにボンディング点が1点しかないから、隣り合う電極同士、隣り合うインナーリードの間隔が更には狭くなると、製造が困難になる。特開平4-196158号公報の技術では、各インナーリードの長さが同一の長さであるため、同一信号数(電極数)で従来以上にチップ面積が縮小すると、インナーリードをチップ電極の近くまで持っていけないため、チップ上の電極とインナーリードの間隔が広くなり、つまりボンディングワイヤ長が長くなり、製造時にワイヤ流れなどが生じ、製造が困難になる。

【0007】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、従来以上の小チップ、多ピン化によるパッド間隔の狭い半導体チップに対し、ボンディングの自由度、生産性、信頼性の高い半導体装置を提供するものである。

【0008】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第1態様は、リードフレームのアイランド上に半導体チップが組み付けられ、この半導体チップ上に設けられた千鳥状に配置された電極と、前記リードフレームのインナーリードと、前記電極とインナーリードとの間に設けられるボンディングワイヤとからなる半導体装置において、前記隣接するインナーリードは互いに異なる長さに形成され、且つ、前記インナーリードの全ては、前記アイランド部と同一面上に形成した低部と、前記低部より高い位置に形成した高部と、前記低部と高部とを接続する部分とからなり、前記何れかのインナーリードの高部及び低部にそれぞれ、前記ボンディングワイヤをボンディングしたボンディング点を少なくとも一つ設けたことを特徴とするものであり、又、第2態様は、前記インナーリードの長さは、少なくとも2種類の長さを含むことを特徴とするものである。

【0009】

【0010】

【発明の実施の形態】本発明に係る半導体装置は、リードフレームのインナーリードを隣接する各インナーリードに対し、互いに長さ方向に差をもたせ、且つ、全てのインナーリードが先端で低く、その内側で高く形成した段差をもち、しかも、この段差を介して形成された高部及び低部に各々ボンディングするボンディング点を複数有するように構成することで、千鳥状に配置された半導体チップの電極のワイヤボンディングを可能にしたものである。

【0011】本発明によれば、隣接する各インナーリードの長さに差をもたせることにより、半導体チップとインナーリード間の距離を一部縮めることができる。又、全てのインナーリードが先端で低く、その内側で高くした段差を形成することにより、3次元的にボンディングワイヤ間の距離を保つことができる。更に、インナーリードの高部と低部で各々ボンディングするボンディング点を有することにより、同一電位のインナーリードから複数の同一電位パッドへのボンディングが可能となり、且つ、ワイヤの交差配線も容易にできる。

【0012】以上から、ボンディングの自由度、生産性、信頼性の高い半導体装置の製造が可能となる。

【0013】

【実施例】以下に、本発明に係わる半導体装置の具体例を図面を参照しながら詳細に説明する。図1、2は、本

発明に係る半導体装置の具体例の構造を示す図であって、これらの図には、リードフレームのアイランド2a上に半導体チップが組み付けられ、この半導体チップ2a上に設けられた千鳥状に配置された電極6a、6bと、前記リードフレームのインナーリード4a、4bと、前記電極6a、6bとインナーリード4a、4bとの間に設けられるボンディングワイヤ3a、3b、3cとからなる半導体装置において、前記隣接するインナーリード4a、4bは互いに異なる長さに形成され、且つ、インナーリード4a、4b先端部とその内側との間に段差5aを介して高部Hと低部Lとが形成され、且つ、前記高部H又は低部Lの何れかには複数のボンディング点7a、7a、7b、7b、を有する半導体装置が示されている。

【0014】又、インナーリード4a、4b上のボンディングの高さ方向の位置において、少なくとも二つの異なる位置7a、7bにボンディングされ、且つ、前記半導体チップから離間する方向の前記インナーリード4a、4b上においても、少なくとも二つの異なる位置7a、7bにボンディングされる半導体装置の製造方法が示されている。

【0015】更に、前記1つのインナーリードには少なくとも2つ、最大4つのボンディング点を有する半導体装置とその製造方法が示されている。以下に、本発明を更に詳細に説明する。図4は本発明の上から見た構造図であり、2aはリードフレームのアイランド、4a、4bはインナーリード、5aはインナーリードに形成した傾斜部からなる段差である。

【0016】図1は本発明の要部の斜視図であり、4a、4bはインナーリード、5aはインナーリードの傾斜した段差、7a、7bはインナーリード上のボンディング点である。図2は図1のインナーリードに配線を行った状態の斜視図であり、1aは半導体チップ、3a、3b、3cはボンディングワイヤ、4a、4bはインナーリード、5aはインナーリードの段差、6a、6bは半導体電極（パッド）である。

【0017】図3は本発明の具体例の断面図であり、図5は本発明の他の具体例の主要部斜視図であり、このように構成した半導体装置において、図示したように隣接する各インナーリード4a、4bは、互いに長さ方向に差をもたせてある。このように長さ方向に差を持たせることにより、長いインナーリード4bとチップ1a間との距離を短縮することができ、インナーリード先端部においてインナーリード4bの幅が細くならず、幅を十分に保つことができる。

【0018】更に、インナーリード4a、4bは段差5aを持ち、この段差5aの高部Hにボンディング点7aを、又、低部Lにボンディング点7bを配置している。図3はワイヤーボンディングした状態の断面図であり、リードフレームのアイランド2a上にチップ1aがマウ

ントされている。本図ではアイランド2aとリードフレーム4a、4bの低部Lの高さが同じになっているが、アイランド2aの高さをインナーリード低部Lより低くしても同様の効果が得られる。

【0019】次に、インナーリード低部のみの使用について説明する。図3、5のようにインナーリード低部Lを使用したときもインナーリード側のボンディング点の組み合わせにより、図3のインナーリード3d、3e及び図5のインナーリード3d、3eに見られるように隣接するボンディングワイヤの高さ方向の距離が生じ、ワイヤ同士の3次元的な間隔を保つことができ、ワイヤーの接触をさけてボンディングすることができる。

【0020】このようにインナーリード低部のみの使用した場合は、薄型パッケージにも使用できる。次に、インナーリード低部及び高部を使用した場合について説明する。図2のようにインナーリードの高部Hと低部Lのボンディング点を使うことにより、さらに間隔の狭い千鳥配列パッドに対してのボンディングが可能になる。基本的に外側のパッド（図2の符号6a）はインナーリードの低部Lとボンディングし、内側パッド（図2の符号6b）はインナーリードの高部Hのボンディング点を使用することにより、隣接するボンディングワイヤに高さ方向の距離を図2のワイヤ3b、3a及び図3のワイヤ3b、3aに見られるように容易に保つことができ、ワイヤ同士の接触をさけてボンディングすることができる。さらに、必要に応じて交差配線も、図2のワイヤ3cのようにボンディングをすることが可能となる。なお、図2のワイヤ3cは交差配線（ボンディング）かつ同一電位のインナーリードから複数の同一電位パッドへのボンディング例である。

【0021】

【発明の効果】本発明に係る半導体装置は、半導体装置のリードフレームの構造を、隣接する各インナーリードに対し図4のように、互いに長さ方向に差をもたせ、図1のようにかつ全てのインナーリードが先端で低く、その内側で高くされた段差をもち、その高部と低部にボンディング点を有することにより、ボンディングワイヤ同士の隣接距離を3次元的に保ち、ボンディングワイヤ同士の接触の低減をはかることにより小チップサイズ、且つ、多ピンの狭間隔千鳥電極の半導体チップを、きわめて生産性及び信頼性高く生産できる効果を有する。

【図面の簡単な説明】

【図1】本発明の半導体装置の要部の斜視図である。

【図2】本発明の具体例の斜視図である。

【図3】図2の断面図である。

【図4】本発明の平面部図である。

【図5】本発明の他の具体例の斜視図である。

【図6】従来例を示す図である。

【図7】他の従来例を示す図である。

【図8】他の従来例を示す図である。

【符号の説明】

1a…半導体チップ

2a…リードフレームのアイランド

3, 3a, 3b, 3c, 3d, 3e, 3f, 3g…ボンディングワイヤ

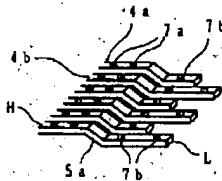
4a, 4b, 4c, 4d, 4e, 4f…インナーリード

5a…インナーリードの段差

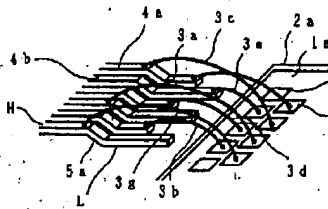
6, 6a, 6b, 6c, 6d…半導体電極

7a, 7b…インナーリードのボンディング点

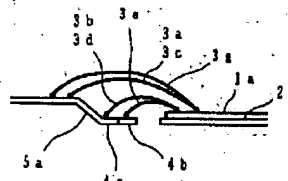
【図1】



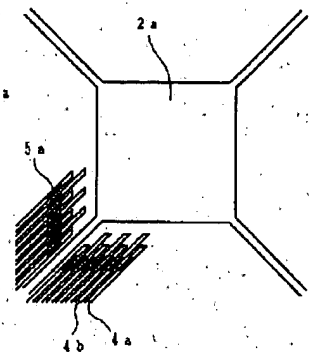
【図2】



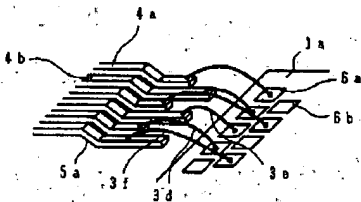
【図3】



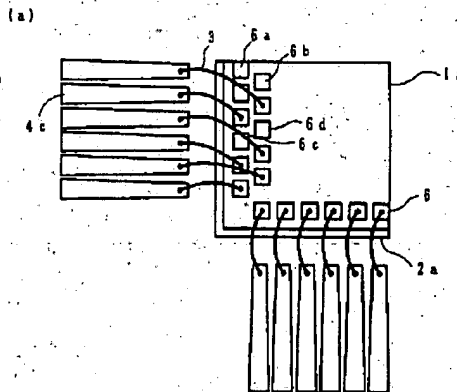
【図4】



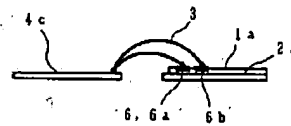
【図5】



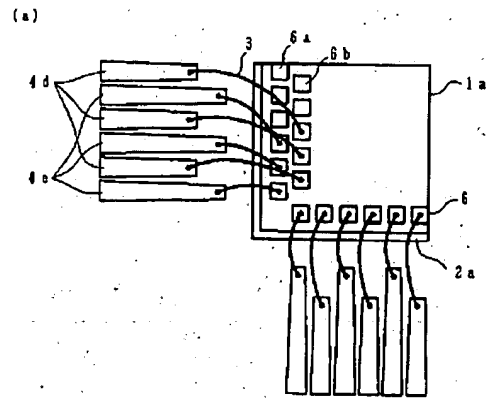
【図6】



(b)



【図7】



【図8】

